

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-150000

(43) 公開日 平成10年(1998) 6月2日

(51) Int.Cl.⁸

H 0 1 L 21/265
29/78

識別記号

F I

H 0 1 L 21/265

29/78

Z

6 0 2 B

6 0 4 G

3 0 1 S

審査請求 未請求 請求項の数 8 O L (全 6 頁)

(21) 出願番号 特願平9-255745

(22) 出願日 平成9年(1997) 9月19日

(31) 優先権主張番号 特願平8-248080

(32) 優先日 平8(1996) 9月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 島田 浩行

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

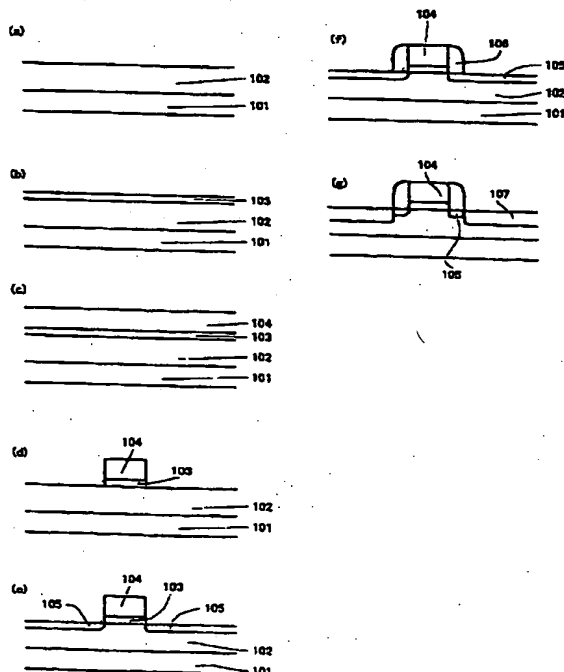
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置の製造方法およびその半導体装置

(57) 【要約】

【課題】 不純物としてホウ素を含むイオンをゲート、ソース及びドレイン領域に注入した接合が浅い半導体装置及びその製造方法を提供すること。

【解決手段】 シリコン基盤101上にN型ウェル102及びP型ウェル、ゲート絶縁膜103、ポリシリコンゲート領域104、エクステンション部を順次形成する。次いで、ポリシリコンゲート領域104及びウェル上に同時に、2塩化ホウ素イオン等の質量数が50以上のホウ素を含むイオンを注入して熱処理を行うことにより、ソース領域及びドレイン領域107を形成し、イオンを活性化させる。高温で瞬時加熱を行う 及び/又はイオン注入の前後にケイ素等のイオンを注入してアモルファス化を図ることにより、イオンの活性化率を向上させる。



1

【特許請求の範囲】

【請求項1】 以下の工程を備えたことを特徴とする半導体装置の製造方法。

(a) シリコン基盤上にゲート絶縁膜を、前記ゲート絶縁膜の上にゲート領域を、前記シリコン基盤の上に前記ゲート絶縁膜及び前記ゲート領域に接する側壁を、それぞれ形成する工程と、

(b) 前記ゲート領域及びシリコン基盤に質量数が50以上のホウ素を含む化合物イオンを注入する工程と、

(c) 前記ゲート領域及び前記シリコン基盤を加熱して、前記シリコン基盤内にソース領域及び／又はドレイン領域を形成するとともに、前記注入されたイオンを活性化させる工程。

【請求項2】 前記質量数が50以上のホウ素を含む化合物イオンは2塩化ホウ素イオンであることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記工程(c)において、加熱温度を1100℃以上1200℃以下とし、加熱時間を1秒以下とすることを特徴とする請求項1もしくは2に記載の半導体装置の製造方法。

【請求項4】 前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び／又は前記シリコン基盤にケイ素イオン若しくはゲルマニウムイオンをイオン注入してアモルファス化を行う工程を備えたことを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】 前記ケイ素イオン若しくは前記ゲルマニウムイオンが前記ゲート領域及び／又は前記シリコン基盤にイオン注入される深さは、前記質量数が50以下のホウ素を含むイオンが前記ゲート領域及び／又は前記シリコン基盤にイオン注入される深さ以下の深さとなることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び／又は前記シリコン基盤にケイ素イオンを 5×10^{14} 個/cm²以上 5×10^{16} 個/cm²以下の条件でイオン注入してアモルファス化を行う工程を備えたことを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項7】 前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び／又は前記シリコン基盤にゲルマニウムイオンを 5×10^{13} 個/cm²以上 5×10^{15} 個/cm²以下の条件でイオン注入してアモルファス化を行う工程を備えたことを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項8】 以下の手段を備えたことを特徴とする半導体装置。

(a) シリコン基盤と、

2

(b) 前記シリコン基盤上に形成されたゲート絶縁膜と、

(c) 前記ゲート絶縁膜上に形成され、質量数が50以上のホウ素を含む化合物イオンが不純物として注入されたポリシリコンゲート領域と、

(d) 前記ゲート絶縁膜及び前記ポリシリコンゲート領域に接し、前記シリコン基盤上に形成された側壁と、

(e) 質量数が50以上のホウ素を含む化合物イオンが不純物として注入されることにより前記シリコン基盤内に形成されたソース領域及び／又はドレイン領域。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関する。特に、ゲート領域、ソース領域、ドレイン領域に質量数が50以上の2塩化ホウ素等の化合物イオン(BCl₂⁺等)を不純物としてイオン注入したのちに熱処理して活性化させたことを特徴とする半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、P型のポリシリコンゲートを備えるMOS型電界効果トランジスタの使用が進んでいる。これは、このトランジスタが表面チャネルを利用するため、しきい値が低いなどの有利な点があるためである。

【0003】従来、このトランジスタの製造方法においては、ソース・ドレイン部に浅い接合を作り、かつ、ゲートの抵抗を低くするためにホウ素イオン(B⁺)若しくは2フッ化ホウ素イオン(BF₂⁺)を注入して活性化を行っていた。

【0004】しかし、2フッ化ホウ素イオンを使用すると、フッ素が多量にゲート中に導入されるのでホウ素がゲート酸化膜を突き抜けてしまう。この様子を図4のホウ素の不純物濃度プロファイルにより示す。このため、以下のような問題が生じていた。

【0005】(1)トランジスタのしきい値が変化してしまう。

【0006】(2)ゲート耐圧が劣化する。

【0007】これを解決するための手段として特開平第5-160148号公報にはフッ素を含まない1塩化ホウ素イオン(BCl⁺)を注入する手法が開示されている。

【0008】また、注入するイオンとして以下のような質量数のイオンを使用する手法も従来使用されている。

【0009】ホウ素イオン(質量数10、11)。

【0010】2フッ化ホウ素イオン(質量数48、49)。

【0011】1塩化ホウ素イオン(質量数45、46、47、48)。

【0012】しかし、これらの先行技術によってデュアルゲート型のMOS型電界効果トランジスタを製造した場合には、以下の問題も生じてしまう。

50

【0013】(3)スルーブットが大幅に低下する。

【0014】これは、以下の理由による。イオンの質量数が小さいためイオン注入の飛程が大きい。したがって、イオンが注入される深さが深くなる。このため、ゲートのみならずソース及びドレイン領域にも同時に該イオンを打ち込む必要がある場合には、浅い結合を確保するため非常に低いエネルギーで打ち込む必要がある。このためには、イオン注入装置の注入電流を低く維持する必要があるが、これは装置の構造上困難である。

【0015】ここで浅い接合とは、接合深さ(当業界で「Xj」と表わされることが多い)が $0.13\mu\text{m}$ から $0.15\mu\text{m}$ 程度の接合をいう。このような接合は、特に、 $0.25\mu\text{m}$ ルールの半導体装置を製造する場合に必要となる。

【0016】このように、打ち込むイオンの質量数が小さいことに起因する問題は、上記のようなP型の電界効果トランジスタの製造方法におけるものである。N型の電界効果トランジスタの製造方法においては、質量数が75と大きいヒ素を含むイオンを使用することができる。この場合は、ヒ素の質量数が大きいので飛程は小さくなり、浅い接合を作成することができる。

【0017】

【発明が解決しようとする課題】本発明は、以上のような問題を解決するためになされたもので、ゲート領域、ソース領域、ドレイン領域を備えたMOS型半導体の製造方法において、ホウ素を含むイオンを打ち込むことによりこれらの領域を形成し、熱処理によってイオン活性化させると同時に、浅い接合を作成することを目的とする。

【0018】

【課題を解決するための手段】以上の目的を達成するための発明は下記の発明である。

【0019】第1の発明は、以下の工程を備えたことを特徴とする半導体装置の製造方法である。

【0020】(a)シリコン基盤上にゲート絶縁膜を、前記ゲート絶縁膜の上にゲート領域を、前記シリコン基盤の上に前記ゲート絶縁膜及び前記ゲート領域に接する側壁を、それぞれ形成する工程と、(b)前記ゲート領域及びシリコン基盤に質量数が50以上のホウ素を含む化合物イオンを注入する工程と、(c)前記ゲート領域及び前記シリコン基盤を加熱して、前記シリコン基盤内にソース領域及び/又はドレイン領域を形成するとともに、前記注入されたイオンを活性化させる工程。

【0021】本発明により、ホウ素を含む質量数の大きな化合物イオンを注入することで、ホウ素が絶縁膜を突き抜けることがなく、浅い接合を実現した半導体装置を製造することができる。

【0022】第2の発明は、前記質量数が50以上のホウ素を含む化合物イオンは2塩化ホウ素イオンであることを特徴とする半導体装置の製造方法である。本発明に

より、2塩化ホウ素イオンを不純物として用いた半導体装置を製造することができる。

【0023】第3の発明は、前記工程(c)において、加熱温度を 1100°C 以上 1200°C 以下とし、加熱時間を1秒以下とすることを特徴とする半導体装置の製造方法である。本発明により、化合物イオンの活性化を図るとともに、瞬時加熱によって半導体装置が破壊されることを防止することができる。

【0024】第4の発明は、前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び/又は前記シリコン基盤にケイ素イオン若しくはゲルマニウムイオンをイオン注入してアモルファス化を行う工程を備えたことを特徴とする半導体装置の製造方法である。本発明により、化合物イオンの活性化を図ることができる。

【0025】第5の発明は、前記ケイ素イオン若しくは前記ゲルマニウムイオンが前記ゲート領域及び/又は前記シリコン基盤にイオン注入される深さは、前記質量数が50以下のホウ素を含むイオンが前記ゲート領域及び/又は前記シリコン基盤にイオン注入される深さ以下の深さとなることを特徴とする半導体装置の製造方法である。本発明により、化合物イオンの活性化を図ることができる。

【0026】第6の発明は、前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び/又は前記シリコン基盤にケイ素イオンを $5\times 10^{14}\text{個}/\text{cm}^2$ 以上 $5\times 10^{16}\text{個}/\text{cm}^2$ 以下の条件でイオン注入してアモルファス化を行う工程を備えたことを特徴とする半導体装置の製造方法である。本発明により、化合物イオンの活性化を図ることができる。

【0027】第7の発明は、前記工程(b)の前若しくは後に、さらに、前記ゲート領域及び/又は前記シリコン基盤にゲルマニウムイオンを $5\times 10^{13}\text{個}/\text{cm}^2$ 以上 $5\times 10^{15}\text{個}/\text{cm}^2$ 以下の条件でイオン注入してアモルファス化を行う工程を備えたことを特徴とする半導体装置の製造方法。本発明により、化合物イオンの活性化を図ることができる。

【0028】第8の発明は、以下の手段を備えたことを特徴とする半導体装置である。

【0029】(a)シリコン基盤と、(b)前記シリコン基盤上に形成されたゲート絶縁膜と、(c)前記ゲート絶縁膜上に形成され、質量数が50以上のホウ素を含む化合物イオンが不純物として注入されたポリシリコンゲート領域と、(d)前記ゲート絶縁膜及び前記ポリシリコンゲート領域に接し、前記シリコン基盤上に形成された側壁と、(e)質量数が50以上のホウ素を含む化合物イオンが不純物として注入されることにより前記シリコン基盤内に形成されたソース領域及び/又はドレイン領域。

【0030】本発明により、浅い接合を実現した微細半導体装置を提供することができる。

【0031】

【発明の実施の形態】以下に本発明の実施形態を説明する。なお以下の実施形態は本願発明を説明するためのものであり、本願発明の範囲を限定するためのものではない。したがって、本願発明の原理を逸脱しない範囲で当業者は他の実施形態を選択することが可能である。

【0032】図1を参照して本発明の第1の実施例を説明する。まず、シリコン基盤101にN型ウェル102及びP型ウェル（図示せず）を熱拡散により形成する。この工程の後の様子を図1(a)に示す。

【0033】次に、熱酸化膜を7nm堆積してゲート絶縁膜103を形成する。この工程の後の様子を図1(b)に示す。

【0034】ついで、ドーブされていないポリシリコンを250nm堆積する。この工程の後の様子を図1(c)に示す。

【0035】さらに、フォトリソグラフィー及びドライエッチング法により、それぞれのウェル上にポリシリコンを350nm幅に堆積させ、ゲート104を形成する。この工程の後の様子を図1(d)に示す。

【0036】次に、フォトリソグラフィー法によりN型ウェル102の上に2塩化ホウ素を20KeV、 1×10^{14} 個/cm²の条件で注入して、N型エクステンション部105を形成する。この工程の後の様子を図1(e)に示す。

【0037】さらに、同様にP型ウェルの上にヒ素イオンを20KeV、 1×10^{14} 個/cm²の条件で注入して、P型エクステンション部（図示せず）を形成する。

【0038】この後、CVD法及びエッチバック法により、側壁106を形成する。この工程の後の様子を図1(f)に示す。

【0039】ここからが本願発明の特徴とする点の一つである。すなわち、フォトリソグラフィー法によりN型ウェル102及びゲート領域104に、同時に2塩化ホウ素イオンを20KeV、 4×10^{15} 個/cm²の条件で注入する。この工程の様子を図1(g)に示す。これにより、ソース領域及びドレイン領域107が形成される。

【0040】この後、RTA法で1040℃、10秒の熱処理を行ってこれらの領域を活性化させる。

【0041】なお、上記注入するイオンとしては、例えば、以下の化合物イオンが考えられる。

【0042】(a) 2塩化ホウ素イオン（質量数80、81、82、83、84、85）。

【0043】(b) 1臭化ホウ素イオン（BB⁺r）（質量数89、90、91、92）。

【0044】(c) 2臭化ホウ素イオン（BB²⁺r₂）（質量数168、169、161、162、163）。

【0045】これらはいずれも質量数が50以上であり飛程が小さいので、浅い結合を作成するという本願の課

題を解決することが可能である。

【0046】これ以降は、層間絶縁膜の堆積、コンタクトの開孔、アルミニウム電極の堆積、パターンニングなどの処理をおこなうが、これらは公知の技術で可能であるため省略する。

【0047】この実施例により製造された半導体のホウ素の不純物プロファイルを図3に示す。従来の製造方法による不純物プロファイルに比べ、不純物の深さが浅くなっており、浅い接合が実現されていることがわかる。

10 【0048】以下に説明する第2の実施例による製造方法の大部分は、第1の実施例と同様であるが、イオン活性化のための熱処理過程が異なる。すなわち、第1の実施例のように、2塩化ホウ素イオンを注入して1000℃前後で10秒の熱処理をした場合は、塩素の影響でイオンの活性化率が低くなる場合がある。このままでは、イオンを注入した部分の抵抗が高くなってしまふ。

20 【0049】このため、第1の実施例の熱処理過程に代えて、1100℃以上で1秒以下の瞬時加熱を行うこととする。この手法では、サーマルバジェット（加えた総熱量に比例する）は従来手法と大差ないため、トランジスタが熱により悪影響を受けることはない。一方、従来よりも高温で処理するため、イオンの活性化率は従来同様となり、抵抗を低くすることができる。なお、高温に曝されるために素子に変化してしまうことを防止するためには、加熱温度は1100℃以上1200℃以下とすることが望ましい。

30 【0050】第3の実施例による製造方法は、第1及び第2の実施例による製造方法に、以下の工程を加えたものである。すなわち、2塩化ホウ素イオンを注入する前、若しくは、注入した後に、ケイ素イオン（Si⁺）若しくはゲルマニウムイオン（Ge⁺）をイオン注入して、ゲート領域、ソース領域、ドレイン領域をアモルファス化する工程を実施するものである。

【0051】このようなプレアモルファス化工程を追加することは、実際の製造工程でも使用されている。ただし、これらのアモルファス化工程が従来使用されてきた目的は、チャネリング現象を防止するためである。

40 【0052】2塩化ホウ素イオンの注入量が 1×10^{15} 個/cm²から 5×10^{15} 個/cm²程度の場合の、アモルファス化を実施するための条件の一例を以下に示す。アモルファス化工程として、以下のいずれかを実施する。

【0053】(a) 1×10^{16} 個/cm²、20KeVの条件でケイ素イオンを注入する。

【0054】(b) 1×10^{15} 個/cm²、40KeV～50KeVの条件でゲルマニウムイオンを注入する。

50 【0055】なお、これと異なる実施形態においては、2塩化ホウ素が打ち込まれる深さと同じ深さもしくはこれよりも浅い深さになる加速エネルギーを与えるようにこれらの条件を選択する。

7

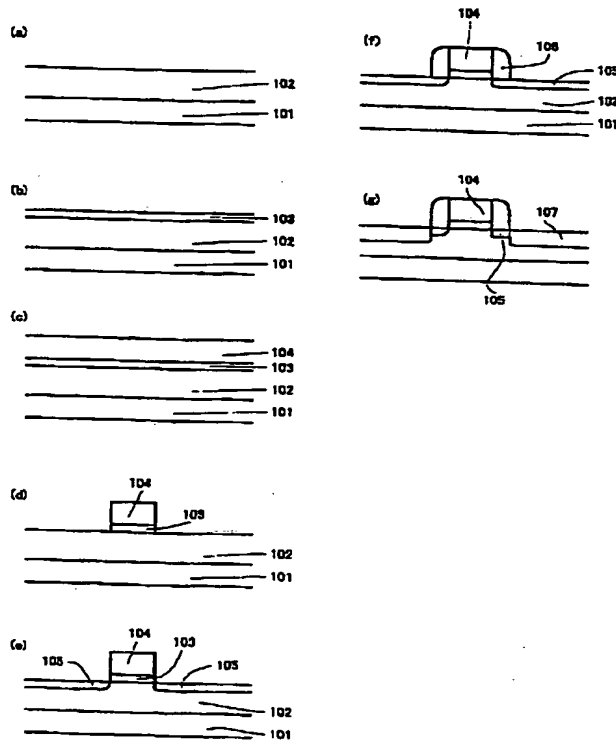
【0056】

【発明の効果】以上説明したように、本願発明によれば、ゲート領域、ソース領域、ドレイン領域を備えたMOS型半導体の製造方法において、質量数50以上のホウ素を含む化合物イオンを打ち込むことによりこれらの領域を形成し、熱処理によってイオン活性化させると同時に、浅い接合を作成することが可能である。本願発明によれば、ホウ素がゲート絶縁膜を突き抜けることが従来よりもきわめて少なくなる。本願発明は、特に、微細なMOS型のP型電界効果トランジスタを製造する際に

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の工程の説明図である。

【図1】



8

* 【図2】本発明の半導体装置の製造方法により製造される半導体装置の一部の断面図である。

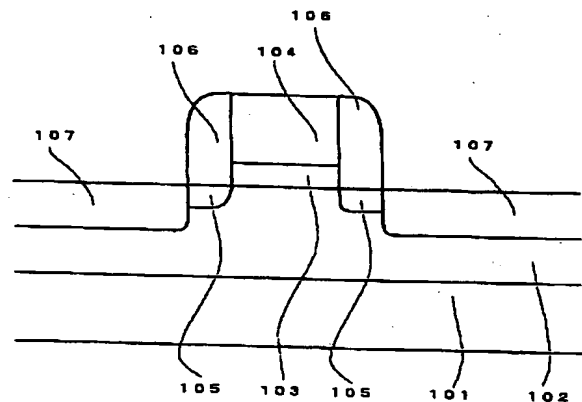
【図3】本発明の半導体装置の製造方法によるホウ素の不純物プロファイルである。

【図4】従来の半導体装置の製造方法によるホウ素の不純物プロファイルである。

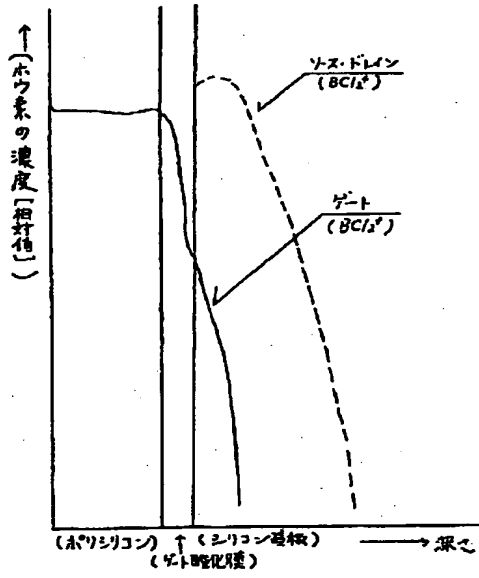
【符号の説明】

- | | |
|-----|---------------|
| 101 | シリコン基盤 |
| 102 | N型ウェル |
| 103 | ゲート絶縁膜 |
| 104 | ポリシリコンゲート領域 |
| 105 | エクステンション部 |
| 106 | 側壁 |
| 107 | ソース領域及びドレイン領域 |

【図2】



【図3】



【図4】

